

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Akito Hara

Serial No.:

Conf. No.:

Filed: 03/02/2004

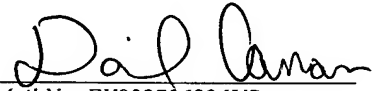
For: SEMICONDUCTOR DEVICE  
AND METHOD OF  
FABRICATING THE SAME

Art Unit:

Examiner:

*I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.*

03/02/04  
Date

  
Express Mail No. EV032736896US

CLAIM FOR PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

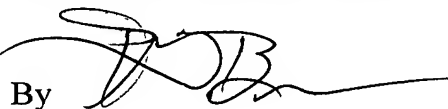
Applicant claims foreign priority benefits under 35 U.S.C., § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-077435, filed March 20, 2003  
Japanese Patent Application No. 2003-146238, filed May 23, 2003

A certified copy of each priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns  
Registration No. 29,367

March 2, 2004  
300 South Wacker Drive  
Suite 2500  
Chicago, Illinois 60606  
Telephone: 312.360.0080  
Facsimile: 312.360.9315

1117.69877  
312.360.0080

F1195P-US



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 0 日  
Date of Application:

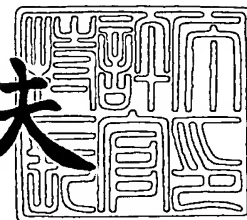
出 願 番 号                      特 願 2 0 0 3 - 0 7 7 4 3 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 7 7 4 3 5 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 9 2 8 6

【書類名】 特許願

【整理番号】 0241863

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 原 明人

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100090273

    【弁理士】

    【氏名又は名称】 國分 孝悦

    【電話番号】 03-3590-8901

【手数料の表示】

    【予納台帳番号】 035493

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 非晶質透明基板と、  
前記非晶質透明基板上に形成された動作半導体薄膜と、  
前記非晶質透明基板上において、前記動作半導体薄膜の上下にそれぞれ絶縁膜を介して金属材料から形成されてなる上部ゲート電極及び下部ゲート電極とを含み、  
前記上部ゲート電極と前記下部ゲート電極とは相異なる膜厚に形成されていることを特徴とする半導体装置。

【請求項 2】 前記上部ゲート電極は前記下部ゲート電極よりも薄い膜厚に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記上部ゲート電極と前記下部ゲート電極とは、略同一のゲート長で互いに位置整合して形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記下部ゲート電極が絶縁材料内に埋め込まれてなり、前記動作半導体薄膜が平坦に形成されていることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記動作半導体薄膜は、そのソース／ドレインの部分がチャネルの部分よりも低い位置に形成されてなることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記動作半導体薄膜が多結晶シリコンから形成されていることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記動作半導体膜は、結晶粒の大きい流線形状であるフローパターンの結晶状態に形成されており、

前記結晶粒は、その結晶粒界が手前に存在する他の前記結晶粒から発生するとともに後方において他の結晶粒界と合体しており、且つ結晶粒界がレーザスキャン方向に略平行に走る形状とされていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 非晶質透明基板上に金属材料を堆積し、前記金属材料を加工して下部ゲート電極を形成する工程と、

前記下部ゲート電極上に絶縁膜を介して半導体膜を堆積し、前記半導体膜を加工して動作半導体膜を形成する工程と、

前記動作半導体膜上に絶縁膜を介して前記下部ゲート電極よりも薄く金属材料を堆積し、前記下部ゲート電極をマスクとして前記非晶質透明基板の背面から露光することにより前記金属材料を加工し、前記下部ゲート電極に整合した上部ゲート電極を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 アモルファス状態の前記半導体膜に時間に対して連続的にエネルギーを出力するエネルギービームを照射し、前記半導体膜を結晶化すること

を特徴とする請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に非晶質透明基板に設けられる薄膜トランジスタ (TFT) に関するものである。

【0002】

【従来の技術】

近時では、無アルカリガラス基板上に多結晶半導体 TFT (特に多結晶シリコン TFT (p-SiTFT)) の形成されてなる高精細ディスプレイが実現されている。p-SiTFT の動作半導体薄膜となる p-Si 膜を形成する手法としては、先ずアモルファスシリコン (a-Si) 膜を成膜した後、紫外波長で短パルスのエキシマレーザ光を照射する。これにより、ガラス基板に影響を与えることなく a-Si 膜のみを熔融結晶化させて p-Si 膜を得る方法が主流となっている。

【0003】

## 【特許文献1】

米国特許出願公開第2002/0031876A1号

## 【0004】

## 【発明が解決しようとする課題】

上記の手法で p-Si 膜を形成するに際して、大面積化に対応した高出力、線状ビームのエキシマレーザが利用されており、これによって結晶化した p-Si 膜を用いたトップゲート型の薄膜トランジスタが開発されている。エキシマレーザ結晶化では、ランダムに発生した核から等方的に成長し、結晶粒径は  $1\mu\text{m}$  に満たず、チャンネル領域には結晶粒径が小さいために多数の結晶粒が含まれ、この TFT の移動度は典型的には  $150\text{cm}^2/\text{Vs}$  程度である。この値は、a-Si に比較すれば移動度は 100 倍ほど高いが、単結晶シリコン (Si-MOSFET) の移動度に比較すれば約  $1/4$  である。移動度は、結晶粒径が大きくチャンネルの長さ方向に存在する粒界が少ない場合には大きく、チャンネルとなった部分の結晶粒径が小さくチャンネルの長さ方向に粒界が多数存在する場合には小さくなる。また、結晶粒界には欠陥が多く、チャンネル内部に粒界が存在することにより特性が抑えられている。従って、多結晶半導体薄膜で高い  $g_m$  を実現するためには、結晶粒径を大きくすること、または高い  $g_m$  (高いオン電流) を実現できる何らかの TFT 構造を採用することが要求される。

## 【0005】

本発明は、前記課題に鑑みてなされたものであり、高い  $g_m$  (高いオン電流) を発揮し、比較的簡素な構成で Si-MOSFET に匹敵する特性を有する TFT 及びその製造方法を提供することを目的とする。

## 【0006】

## 【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

## 【0007】

本発明の半導体装置は、非晶質透明基板と、前記非晶質透明基板上に形成された動作半導体薄膜と、前記非晶質透明基板上において、前記動作半導体薄膜の上下にそれぞれ絶縁膜を介して金属材料から形成されてなる上部ゲート電極及び下

部ゲート電極とを含み、前記上部ゲート電極と前記下部ゲート電極とは相異なる膜厚に形成されている。

#### 【0008】

本発明の半導体装置の製造方法は、非晶質透明基板上に金属材料を堆積し、前記金属材料を加工して下部ゲート電極を形成する工程と、前記下部ゲート電極上に絶縁膜を介して半導体膜を堆積し、前記半導体膜を加工して動作半導体膜を形成する工程と、前記動作半導体膜上に絶縁膜を介して前記下部ゲート電極よりも薄く金属材料を堆積し、前記下部ゲート電極をマスクとして前記非晶質透明基板の背面から露光することにより前記金属材料を加工し、前記下部ゲート電極に整合した上部ゲート電極を形成する工程とを含む。

#### 【0009】

##### 【発明の実施の形態】

##### ー本発明の基本骨子ー

本発明者は、Si-MOSFETに匹敵する高い移動度のTFETを実現するため、動作半導体薄膜に多結晶半導体薄膜を用いるとともに、動作半導体薄膜の上下にそれぞれゲート絶縁膜を介して各ゲート電極を配してなるダブルゲート構造を採用することに想到した。

#### 【0010】

このダブルゲート構造は、上下のゲート電極の位置合わせ等が極めて困難とされているため、Si基板を用いるSi-MOSFETでこれを実現することはできない。このような構造のTFETを実現するには、TFETがガラス等の透明な非晶質基板を用いることを利用する。即ち、下部ゲート電極（ボトムゲート電極）をマスクとして基板側から背面露光し、自己整合的に上部ゲート電極（トップゲート電極）を形成すれば良い。

#### 【0011】

しかしながらこの場合、露光光が基板を通過してボトムゲート電極の部位では遮断されるとともに、ボトムゲート電極の存しない部位では露光光がトップゲート電極となる導電膜を通過することを要する。このような条件を満たすには、各ゲート電極を共に金属材料で形成し、トップゲート電極となる金属膜を露光光が

通過できる程度の薄い膜厚に、ボトムゲート電極を露光光を遮断する程度の厚い膜厚に形成すれば良い。これにより、通常の単一ゲートのTFETに比して約2倍の $\mu_m$ （移動度）を得ることができる。なお、各ゲート電極を共に金属材料で形成することにより、所定部位で両者を接続することが容易となる。

#### 【0012】

更にこの場合、動作半導体薄膜となる多結晶半導体薄膜を結晶化形成するに際して、時間に対して連続したエネルギービームをスキャン走査することにより大粒径ポリシリコンを形成できる。この時の結晶粒径は数ミクロン程度になり非常に大きな粒径を有する。この結晶粒径は現在使われているエキシマレーザの10倍～100倍の大きさになり、移動度もエキシマレーザに比較して約2倍の $300\text{ cm}^2/\text{Vs} \sim 400\text{ cm}^2/\text{Vs}$ の移動度が得られる。

#### 【0013】

従って、高い移動度を実現できる動作半導体薄膜とダブルゲート構造を組み合わせることにより、Si-MOSFETに匹敵する特性を有するTFETを形成することができる。本発明は、非晶質透明基板上に形成される高速動作を必要とされる回路に最適である。

#### 【0014】

—本発明を適用した具体的な諸実施形態—

以下、本発明の具体的な諸実施形態について詳述する。

ここでは、CW (Continual Wave) レーザとして半導体励起(LD励起)の固体レーザ(DPSSLレーザ)を利用した結晶化を例示する。レーザ波長は $532\text{ nm}$ であり、出力は $10\text{ W}$ である。エネルギービーム出力安定性は、 $0.1\text{ rms}\%$ 以下のノイズ、出力の時間安定性は $\pm 1\%$ /時間以下である。なお、レーザ波長はこの値に限定したものではなく、アモルファス半導体膜が結晶化できる波長を利用すれば良い。

#### 【0015】

非晶質透明基板には、NA35ガラスを用いるが、基板材料はこれに限定したものではなく、他の無アルカリガラス、石英ガラスやプラスチックなどでも良い。



**【0016】****(実施形態1)**

図1～図3は、実施形態1によるTF Tの製造方法を工程順に示す概略断面図である。

先ず、図1 (a) に示すように、ガラス基板1上にバッファ層となるシリコン酸化膜2を膜厚400 nm程度に形成した後、例えばネガ型のフォトリソレジストを塗布し、フォトリソグラフィーによりトップゲート電極形状の溝パターン3aを有するレジストパターン3を形成する。

**【0017】**

続いて、図1 (b) に示すように、レジストパターン3をマスクとしてシリコン酸化膜2の表層をRIEによりエッチングし、シリコン酸化膜2に溝パターン3aに倣った溝4を深さ100 nm程度に形成する。

**【0018】**

続いて、図1 (c) に示すように、例えばスパッタ法により、溝4を埋め込むようにシリコン酸化膜2上に金属材料、ここではMo膜5を、露光光（ここではg線）が遮断される程度の厚い膜厚、例えば300 nm程度に堆積形成する。

**【0019】**

続いて、図1 (d) に示すように、例えば化学機械研磨法 (Chemical Mechanical Polishing: CMP) によりシリコン酸化膜2をストッパーとしてMo膜5を研磨して溝4内のみにMo膜5を残し、ボトムゲート電極6を形成する。

**【0020】**

続いて、図2 (a) に示すように、ボトムゲート電極6上に例えばPECVD法によりシリコン酸化膜を膜厚60 nm程度に形成し、ボトムゲート絶縁膜7を形成した後、ボトムゲート絶縁膜7上にアモルファスシリコン (a-Si) 膜8を膜厚60 nm程度に形成する。

**【0021】**

続いて、図2 (b) に示すように、a-Si膜8を熱処理して水素出しを行った後、CWレーザを利用して、時間に対して連続したエネルギービームをa-Si膜8に対して照射スキャンすることにより、大粒径のポリシリコン結晶を有す

る多結晶シリコン (p-Si) 膜 9 を形成する。具体的には、図 4 に示すように、結晶粒の大きい流線形状であるフローパターンの結晶状態に形成され、この結晶粒は、その結晶粒界が手前に存在する他の前記結晶粒から発生するとともに後方において他の結晶粒界と合体しており、且つ結晶粒界がレーザスキャン方向 M に略平行に走る形状とされ、後述するソース・ドレイン間を結ぶ方向が結晶粒の長軸と略平行となる。このときの結晶粒径は数  $\mu\text{m}$  程度となり、非常に大きな結晶を形成できる。この結晶粒径は現在使用されているエキシマレーザの 10 倍～100 倍の大きさになる。

#### 【0022】

続いて、図 2 (c) 及び図 5 に示すように、p-Si 膜 9 をパターンニングし、島状の動作半導体薄膜 10 を形成する。次に、ボトムゲート電極 6 と後述するトップゲート電極とを結線するため、ボトムゲート電極 6 上に形成されたボトムゲート絶縁膜 7 の一部分 (不図示) をエッチング除去する。

#### 【0023】

続いて、図 2 (d) に示すように、動作半導体薄膜 10 を覆うように、ボトムゲート絶縁膜 7 上に例えば PECVD 法によりシリコン酸化膜を膜厚 60 nm 程度に形成し、トップゲート絶縁膜 11 を形成する。このように、ボトムゲート絶縁膜とトップゲート絶縁膜とを同一の絶縁材料で形成することが好ましい。

#### 【0024】

続いて、ボトムゲート電極 6 と後述するトップゲート電極とを結線するため、トップゲート絶縁膜 11 の一部分 (不図示) で上述のボトムゲート絶縁膜 7 の一部分と同一部位をエッチング除去した後、図 3 (a) に示すように、トップゲート絶縁膜 11 上に金属材料、ここでは Mo 膜 12 を、露光光 (ここでは g 線) が通過する程度の薄い膜厚、例えば 50 nm 程度に堆積形成する。このとき、上述したボトムゲート絶縁膜 7 及びトップゲート絶縁膜 11 の一部を除去した前記一部分を介してボトムゲート電極 6 と Mo 膜 12 とが接続される。

#### 【0025】

続いて、図 3 (b) に示すように、Mo 膜 12 上に例えばポジ型のフォトリジストを塗布し、ガラス基板 1 側から、ボトムゲート電極 6 をマスクとして背面露

光する。露光光はボトムゲート電極 6 では遮断されるが Mo 膜 12 は通過するため、ボトムゲート電極 6 に位置整合してこれと同一形状のレジストパターン 13 が形成される。

#### 【0026】

そして、図 3 (c) に示すように、このレジストパターン 13 をマスクとして Mo 膜 12 をエッチングし、レジストパターン 13 の形状に倣ったトップゲート電極 14 を自己整合的に形成する。

#### 【0027】

続いて、レジストパターン 13 を灰化处理等により除去した後、図 3 (d) に示すように、トップゲート電極 14 をマスクとしてトップゲート絶縁膜 11 をエッチングする。次に、トップゲート電極 14 をマスクとして動作半導体薄膜 10 に不純物として例えばリンをイオンドーピングする。次に、これにエキシマレーザ照射することによりリンを活性化し、ソース／ドレイン 15 を形成する。なお、不純物の活性化としてはエキシマレーザ活性化に限定したものではなく、熱活性化、ランプ加熱活性化を用いても良い。

#### 【0028】

しかる後、全面を覆うように膜厚 300 nm 程度に SiN を堆積して層間絶縁膜（不図示）を形成した後、コンタクトホール形成、コンタクトホールを介してソース／ドレイン等と接続する金属電極（不図示）の形成等を経て、TFT を完成させる。

#### 【0029】

なお、TFT を作製する全工程を通じて、熱処理温度を 600℃ 以下とすることが好ましい。これは、600℃ より高温ではガラス基板 1 が変形してしまうからである。

#### 【0030】

以上説明したように、本実施形態によれば、高い  $g_m$ （高いオン電流）を発揮し、比較的簡素な構成で Si-MOSFET に匹敵する特性を有する TFT を実現することができる。

#### 【0031】

## (実施形態2)

図6～図8は、実施形態2によるTF Tの製造方法を工程順に示す模式図であり、図6(a)～(d)、図7(c)、図8(a)～(d)が概略断面図、図8(a)、(b)、(d)が概略平面図である。

先ず、図6(a)に示すように、ガラス基板21上にバッファ層となるシリコン酸化膜22を膜厚400nm程度に形成した後、シリコン酸化膜22上に金属材料、ここではMo膜を、露光光(ここではg線)が遮断される程度の厚い膜厚、例えば200nm程度に堆積形成し、これを電極形状にパターンニングすることにより、ボトムゲート電極23を形成する。

## 【0032】

続いて、図6(b)に示すように、PECVD法によりボトムゲート電極23を覆うようにシリコン酸化膜24を膜厚60nm程度に形成する。

## 【0033】

続いて、図6(c)に示すように、シリコン酸化膜24上にアモルファスシリコン(a-Si)膜25を膜厚60nm程度に形成する。

## 【0034】

続いて、図6(d)、7(a)に示すように、a-Si膜25を熱処理して水素出しを行った後、CWレーザを利用して、時間に対して連続したエネルギービームをa-Si膜25に対して照射スキャンする。

## 【0035】

具体的には、図7(b)、(c)に示すように、a-Si膜25は、ボトムゲート電極23上の部位がボトムゲート電極23の形状を反映して凸部25aを形成しており、図2と同様、この凸部25a上でフローパターン結晶が形成される。即ち、凸部25aのテラスでは、段差部分に蓄積されたメルトの固化によって形成された結晶粒が核として作用するために、テラス上で幅が広いフローパターン結晶粒が形成される。これにより、大粒径のポリシリコン結晶を有する多結晶シリコン(p-Si)膜26が形成される。

## 【0036】

続いて、図7(d)に示すように、p-Si膜26をパターンニングし、島状の

動作半導体薄膜 27 を形成する。次に、ボトムゲート電極 23 と後述するトップゲート電極とを結線するため、ボトムゲート電極 23 上に形成されたシリコン酸化膜 24 の一部分（不図示）をエッチング除去する。

#### 【0037】

続いて、図 8（a）に示すように、シリコン酸化膜を膜厚 60 nm 程度に形成し、ゲート絶縁膜 28 を形成した後、ボトムゲート電極 23 と後述するトップゲート電極とを結線するため、ゲート絶縁膜 28 の一部分（不図示）で上述のシリコン酸化膜 24 の一部分と同一部位をエッチング除去した後、ゲート絶縁膜 28 上に金属材料、ここでは Mo 膜 29 を、露光光（ここでは g 線）が通過する程度の薄い膜厚、例えば 50 nm 程度に堆積形成する。このとき、上述したシリコン酸化膜 24 及びゲート絶縁膜 28 の一部を除去した前記一部分を介してボトムゲート電極 23 と Mo 膜 29 とが接続される。

#### 【0038】

続いて、図 8（b）に示すように、Mo 膜 29 上に例えばポジ型のフォトリソを塗布し、ガラス基板 21 側から、ボトムゲート電極 23 をマスクとして背面露光する。露光光はボトムゲート電極 23 では遮断されるが Mo 膜 29 は通過するため、ボトムゲート電極 23 に位置整合してこれと同一形状のレジストパターン 30 が形成される。

#### 【0039】

そして、図 8（c）に示すように、このレジストパターン 30 をマスクとして Mo 膜 39 をエッチングし、レジストパターン 30 の形状に倣ったトップゲート電極 31 を自己整合的に形成する。

#### 【0040】

続いて、レジストパターン 30 を灰化处理等により除去した後、図 8（d）に示すように、トップゲート電極 31 をマスクとしてゲート絶縁膜 28 をエッチングする。次に、トップゲート電極 31 をマスクとして動作半導体薄膜 27 に不純物として例えばリンをイオンドープする。次に、これにエキシマレーザ照射することによりリンを活性化し、トップゲート電極 31 の両側にソース／ドレイン 32 を形成する。なお、不純物の活性化としてはエキシマレーザ活性化に限定した

ものではなく、熱活性化、ランプ加熱活性化を用いても良い。

【0041】

しかる後、全面を覆うように膜厚 300 nm 程度に SiN を堆積して層間絶縁膜（不図示）を形成した後、コンタクトホール形成、コンタクトホールを介してソース／ドレイン等と接続する金属電極（不図示）の形成等を経て、TFET を完成させる。

【0042】

以上説明したように、本実施形態によれば、高い  $g_m$ （高いオン電流）を発揮し、比較的簡素な構成で Si-MOSFET に匹敵する特性を有する TFET を実現することができる。

【0043】

以下、本発明の諸態様を付記としてまとめて記載する。

【0044】

（付記 1）非晶質透明基板と、  
前記非晶質透明基板上に形成された動作半導体薄膜と、  
前記非晶質透明基板上において、前記動作半導体薄膜の上下にそれぞれ絶縁膜を介して金属材料から形成されてなる上部ゲート電極及び下部ゲート電極とを含み、  
前記上部ゲート電極と前記下部ゲート電極とは相異なる膜厚に形成されていることを特徴とする半導体装置。

【0045】

（付記 2）前記上部ゲート電極は前記下部ゲート電極よりも薄い膜厚に形成されていることを特徴とする付記 1 に記載の半導体装置。

【0046】

（付記 3）前記上部ゲート電極と前記下部ゲート電極とは、略同一のゲート長で互いに位置整合して形成されていることを特徴とする付記 2 に記載の半導体装置。

【0047】

（付記 4）前記下部ゲート電極が絶縁材料内に埋め込まれてなり、前記動作半

導体薄膜が平坦に形成されていることを特徴とする付記 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【 0 0 4 8 】

(付記 5) 前記動作半導体薄膜は、そのソース／ドレインの部分がチャネルの部分よりも低い位置に形成されてなることを特徴とする付記 1 ～ 3 のいずれか 1 項に記載の半導体装置。

【 0 0 4 9 】

(付記 6) 前記動作半導体薄膜が多結晶シリコンから形成されていることを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【 0 0 5 0 】

(付記 7) 前記動作半導体膜は、結晶粒の大きい流線形状であるフローパターンの結晶状態に形成されており、

前記結晶粒は、その結晶粒界が手前に存在する他の前記結晶粒から発生するとともに後方において他の結晶粒界と合体しており、且つ結晶粒界がレーザスキャン方向に略平行に走る形状とされていることを特徴とする付記 6 に記載の半導体装置。

【 0 0 5 1 】

(付記 8) 前記動作半導体膜は、膜厚が 1 0 0 n m 以下に形成されていることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置。

【 0 0 5 2 】

(付記 9) 非晶質透明基板上に金属材料を堆積し、前記金属材料を加工して下部ゲート電極を形成する工程と、

前記下部ゲート電極上に絶縁膜を介して半導体膜を堆積し、前記半導体膜を加工して動作半導体膜を形成する工程と、

前記動作半導体膜上に絶縁膜を介して前記下部ゲート電極よりも薄く金属材料を堆積し、前記下部ゲート電極をマスクとして前記非晶質透明基板の背面から露光することにより前記金属材料を加工し、前記下部ゲート電極に整合した上部ゲート電極を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

**【 0 0 5 3 】**

(付記 1 0) アモルファス状態の前記半導体膜に時間に対して連続的にエネルギーを出力するエネルギービームを照射し、前記半導体膜を結晶化することを特徴とする付記 9 に記載の半導体装置の製造方法。

**【 0 0 5 4 】**

(付記 1 1) 前記エネルギービームの出力不安定性が $\pm 1\%$ より小値であることを特徴とする付記 1 0 に記載の半導体装置の製造方法。

**【 0 0 5 5 】**

(付記 1 2) 前記エネルギービームの時間に対する不安定性を示すノイズが 0 . 1 r m s % 以下である付記 1 0 又は 1 1 に記載の半導体装置の製造方法。

**【 0 0 5 6 】**

(付記 1 3) 前記エネルギービームは、半導体励起の固体レーザによるものであることを特徴とする付記 1 0 ～ 1 2 のいずれか 1 項に記載の半導体装置の製造方法。

**【 0 0 5 7 】**

(付記 1 4) 前記下部ゲート電極を絶縁材料内に埋め込み形成し、前記動作半導体薄膜を平坦に形成することを特徴とする付記 9 ～ 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

**【 0 0 5 8 】**

(付記 1 5) 化学機械研磨法により前記下部ゲート電極を埋め込み形成することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

**【 0 0 5 9 】**

(付記 1 6) 前記動作半導体薄膜は、前記下部ゲート電極の形状を反映して、そのソース／ドレインの部分がチャネルの部分よりも低い位置に形成されることを特徴とする付記 9 ～ 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

**【 0 0 6 0 】**

(付記 1 7) 各製造工程における処理温度が $600^{\circ}\text{C}$ 以下であることを特徴とする付記 9 ～ 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

**【 0 0 6 1 】**



**【発明の効果】**

本発明によれば、透明非晶質基板上に、高い移動度を実現できる半導体薄膜とメタルゲートを有するダブルゲート構造を組み合わせることにより、Si-MOSFETに匹敵する特性を有するTFETを実現することが可能となる。

**【図面の簡単な説明】****【図 1】**

本発明の実施形態 1 による TFET の製造方法を工程順に示す概略断面図である。

**【図 2】**

図 1 に引き続き、本発明の実施形態 1 による TFET の製造方法を工程順に示す概略断面図である。

**【図 3】**

図 2 に引き続き、本発明の実施形態 1 による TFET の製造方法を工程順に示す概略断面図である。

**【図 4】**

CW レーザの照射スキャンにより結晶化されてなるフローパターンの様子を示す顕微鏡写真である。

**【図 5】**

アイランド形状にパターニングされた動作半導体薄膜を示す概略平面図である。

**【図 6】**

本発明の実施形態 2 による TFET の製造方法を工程順に示す概略断面図である。

**【図 7】**

図 6 に引き続き、本発明の実施形態 2 による TFET の製造方法を工程順に示す概略断面図である。

**【図 8】**

図 7 に引き続き、本発明の実施形態 2 による TFET の製造方法を工程順に示す概略断面図である。

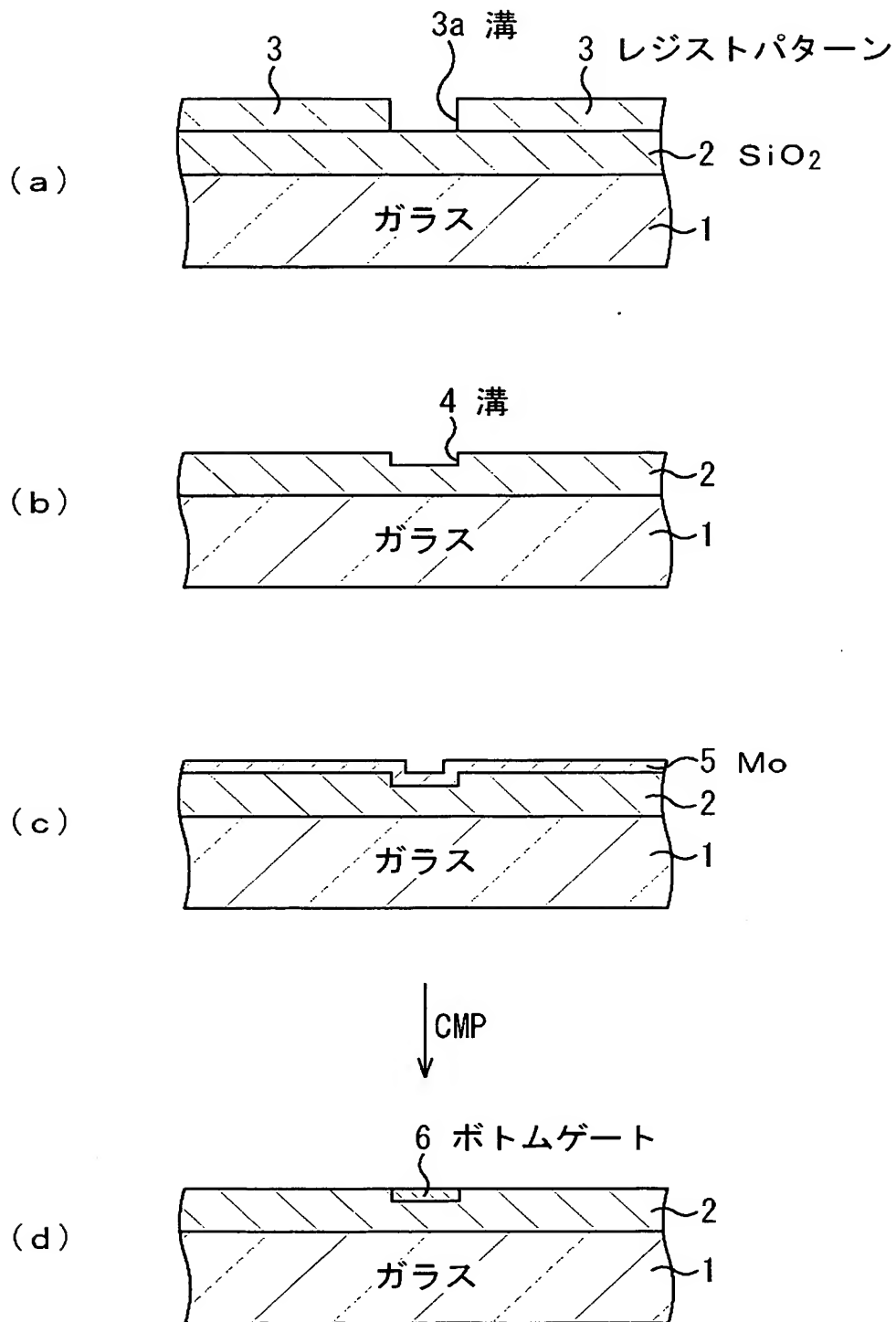
## 【符号の説明】

- 1, 2 1 ガラス基板
- 2, 2 2, 2 4 シリコン酸化膜
- 3, 1 3, 3 0 レジストパターン
- 3 a 溝パターン
- 4 溝
- 5, 1 2, 2 3, 2 9 Mo 膜
- 6, 2 3 ボトムゲート電極
- 7 ボトムゲート絶縁膜
- 8, 2 5 アモルファスシリコン (a - S i) 膜
- 2 5 a 凸部
- 9, 2 6 多結晶シリコン (p - S i) 膜
- 1 0, 2 7 動作半導体薄膜
- 1 1 トップゲート絶縁膜
- 1 4, 3 1 トップゲート電極
- 1 5, 3 2 ソース／ドレイン
- 2 8 ゲート絶縁膜

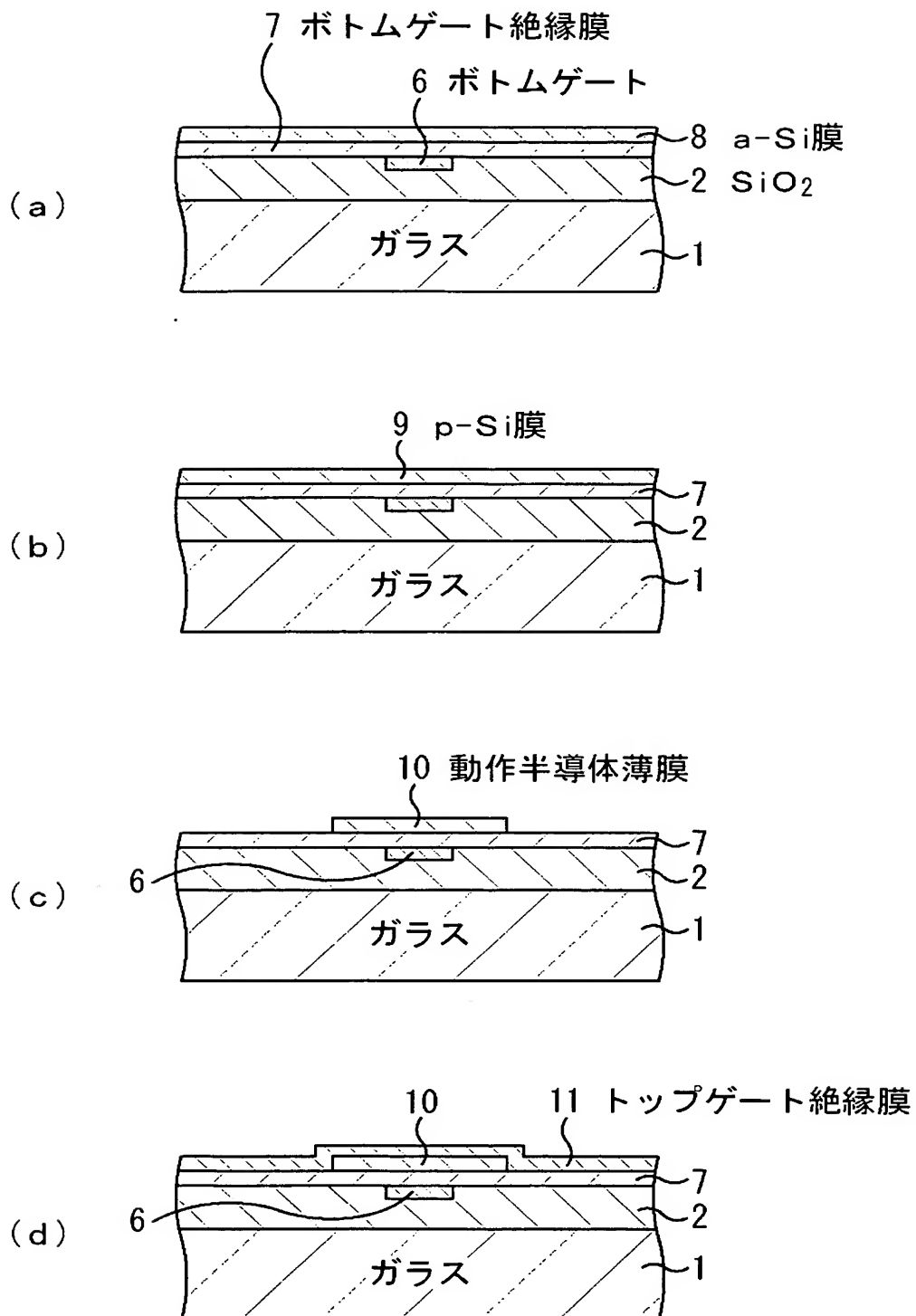
【書類名】

図面

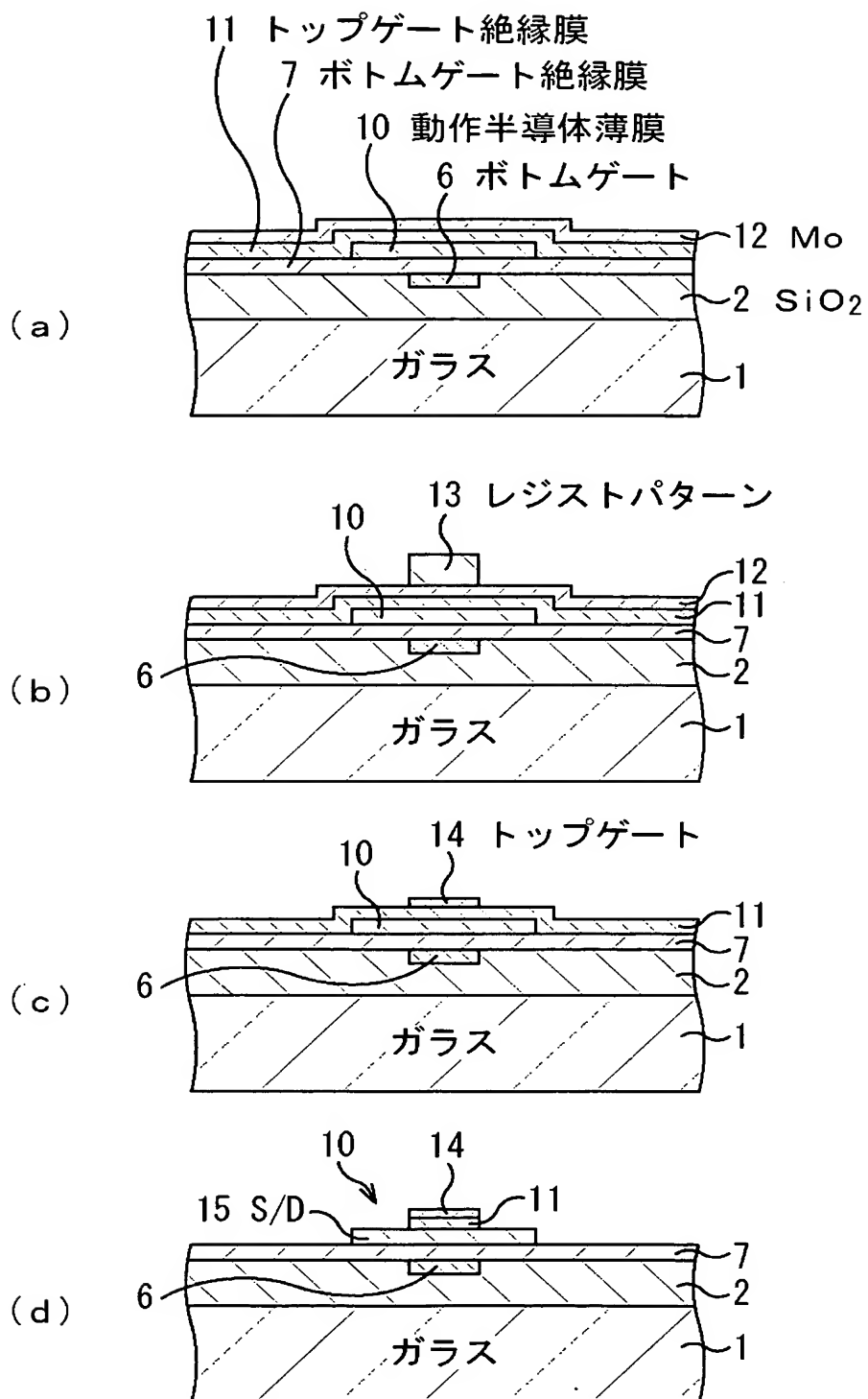
【図 1】



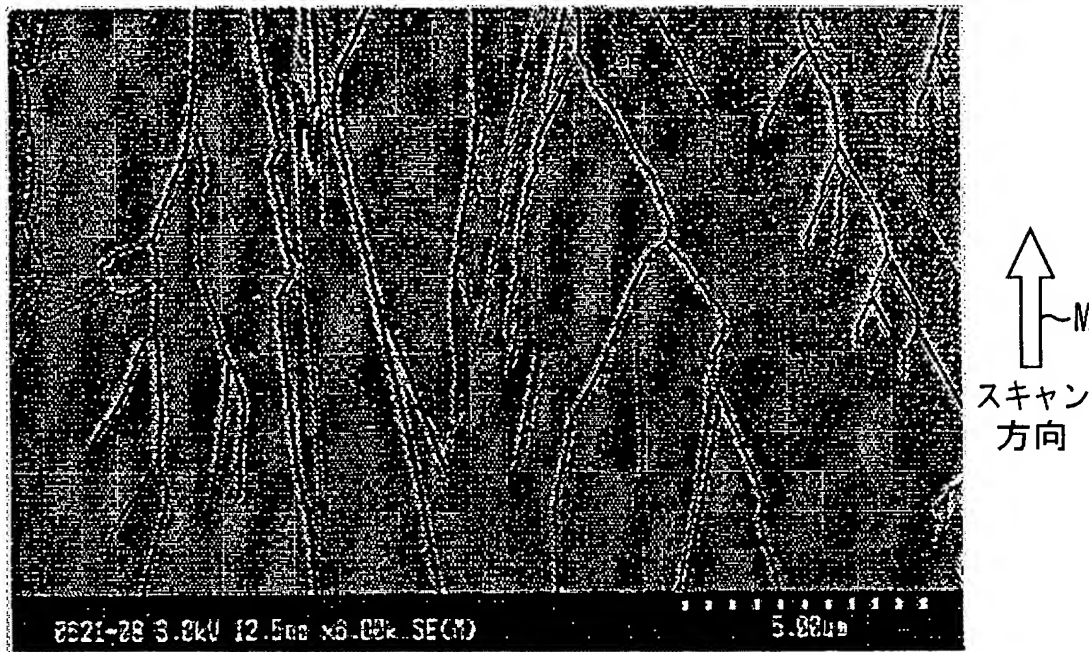
【図 2】



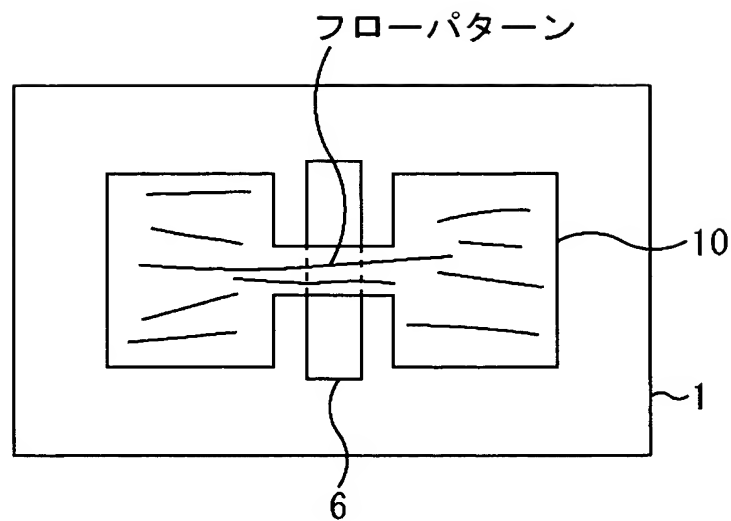
【図 3】



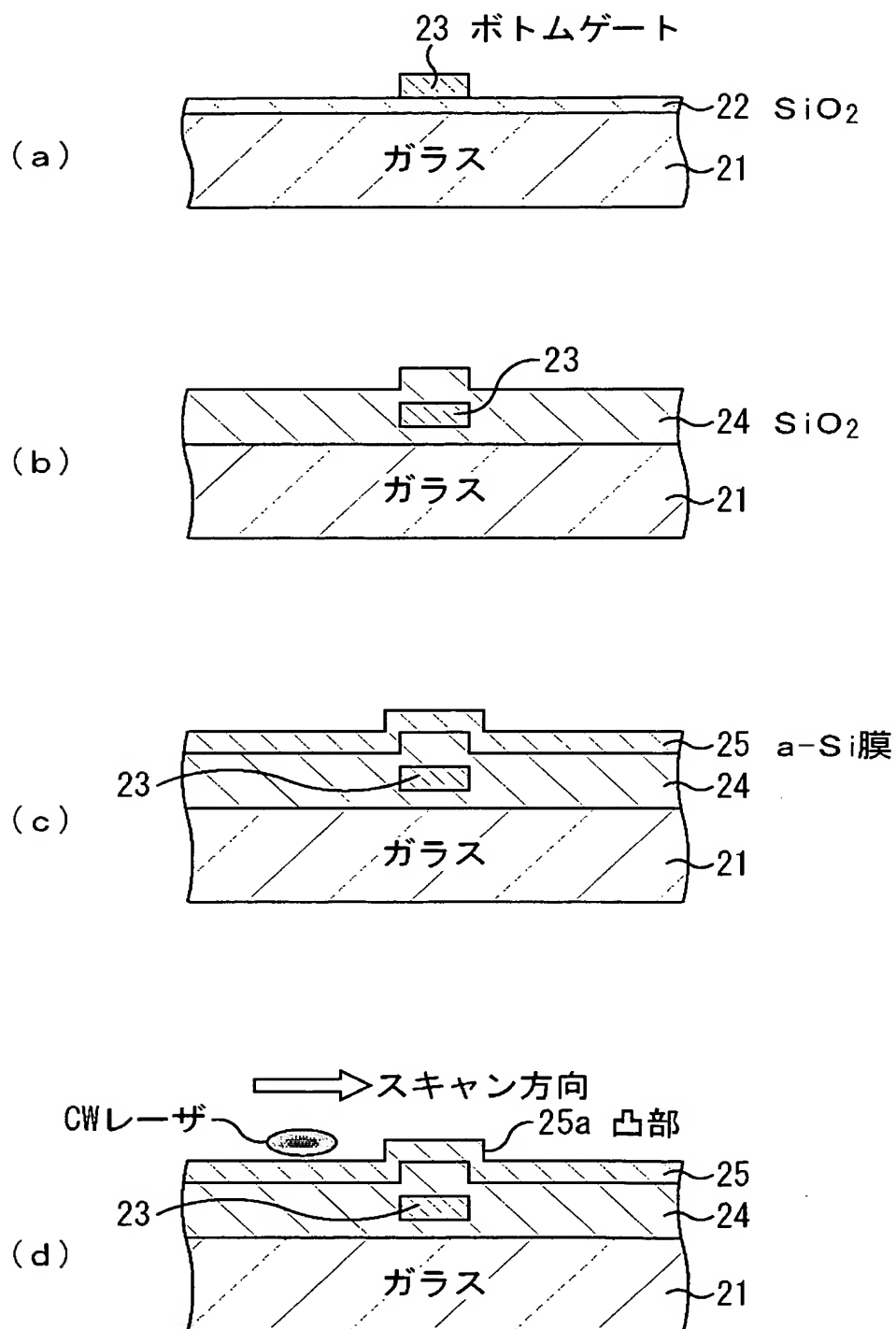
【図 4】



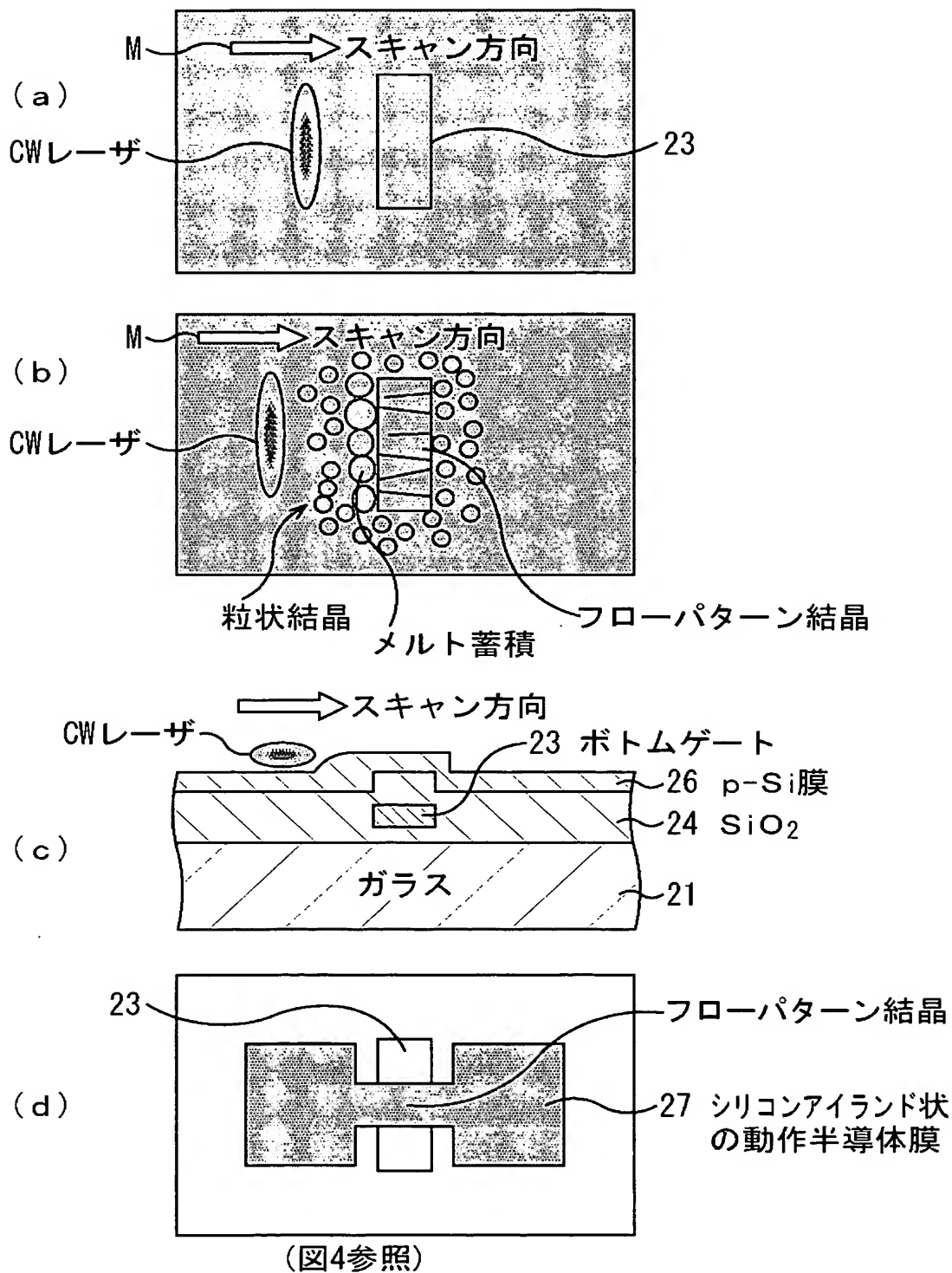
【図 5】



【図 6】

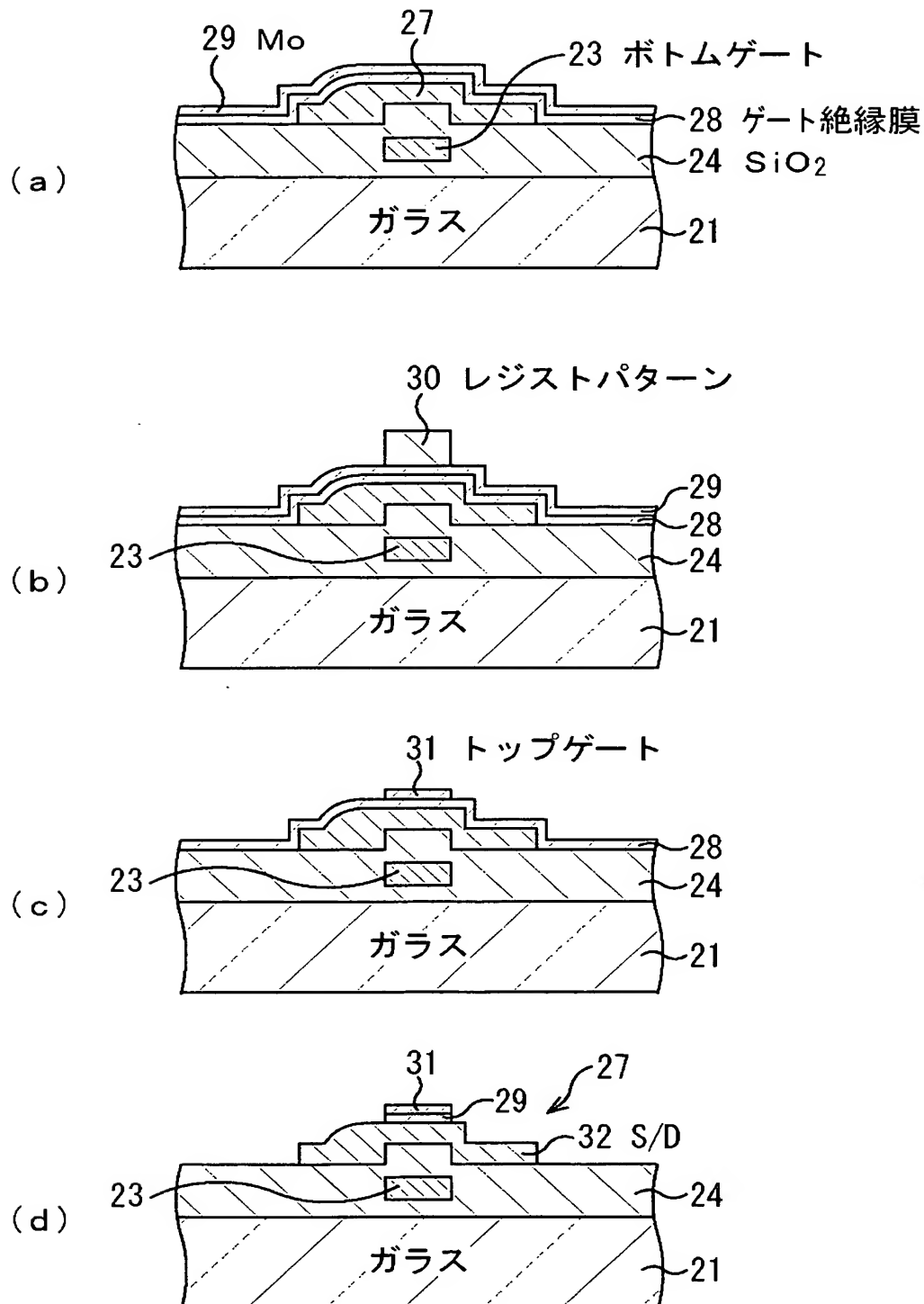


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 高い  $g_m$ （高いオン電流）を発揮し、比較的簡素な構成で  $Si-MOSFET$  に匹敵する特性を有する  $TFET$  を実現する。

【解決手段】  $Mo$  膜 1 2 上に例えばポジ型のフォトリソを塗布し、ガラス基板 1 側から、ボトムゲート電極 6 をマスクとして背面露光する。露光光はボトムゲート電極 6 では遮断されるが  $Mo$  膜 1 2 は通過するため、ボトムゲート電極 6 に位置整合してこれと同一形状のリソパターン 1 3 が形成される。このリソパターン 1 3 をマスクとして  $Mo$  膜 1 2 をエッチングし、リソパターン 1 3 の形状に倣ったトップゲート電極 1 4 を自己整合的に形成する。

【選択図】 図 3



特願 2 0 0 3 - 0 7 7 4 3 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 5 2 2 3 ]

1 . 変更年月日

1 9 9 6 年    3 月 2 6 日

[変更理由]

住所変更

住    所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏    名

富士通株式会社